

# 全數位控制震盪器(Digitally Controlled Oscillator)

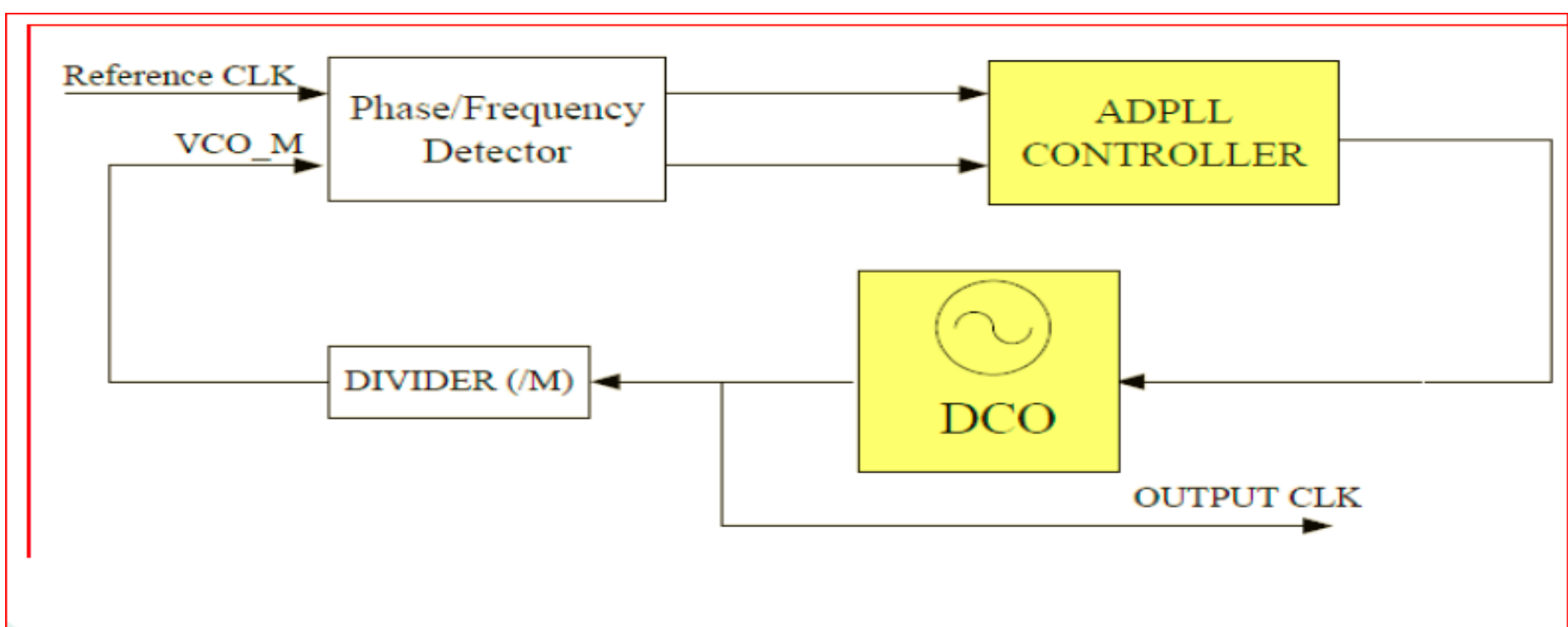
指導教授：盛鐸 博士

學生：蔡育程、陳啟孟、蔡旻超

輔仁大學 電機工程學系 大學部專題生

## 摘要

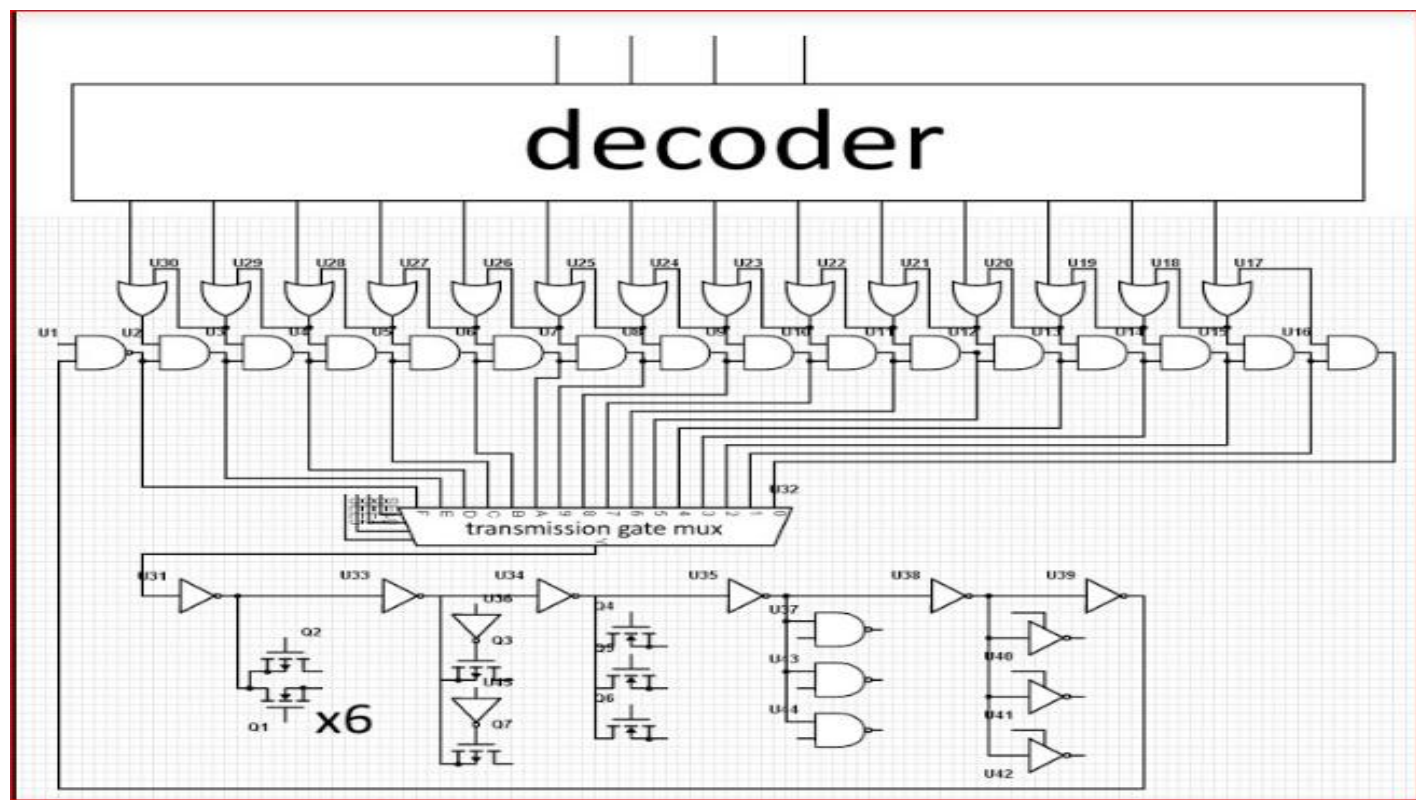
- 核心架構  
為數位控制振盪器(digitally controlled oscillator, DCO)，經由輸入不同的控制碼，產生相對應的輸出震盪頻率訊號，輸出頻率較不易受製程、電壓變動、週遭環境溫度，但也因為使用C-CMOS，所以其消耗功率較類比電路低。
- 目前全數位鎖相迴路當中Digitally Controlled Oscillator 佔有大部分的功耗，因此想要節電我們從這個地方進行架構以及元件的特性進行研究。
- 此次專題的延遲原件(Delay Cell)我們是以AND Gate、DCV來建構我們的全數位時脈震盪器，並以Hspice、Cadence Layout來驗證與實現。



ADPLL架構圖

## 電路架構

- 本專題的系統架構(圖一)，其包括基本元件、Digitally Controlled Varactor、多工器以即編碼器等。由基本Ring Oscillator建構整個DCO的架構、控制上可以對遲滯元件給予電壓改變電容達到調整頻率的效果。在Layout上我們更可以透過調整面積的方式改變Delay Time的效果。



圖一、DCO架構圖(Input與Output)

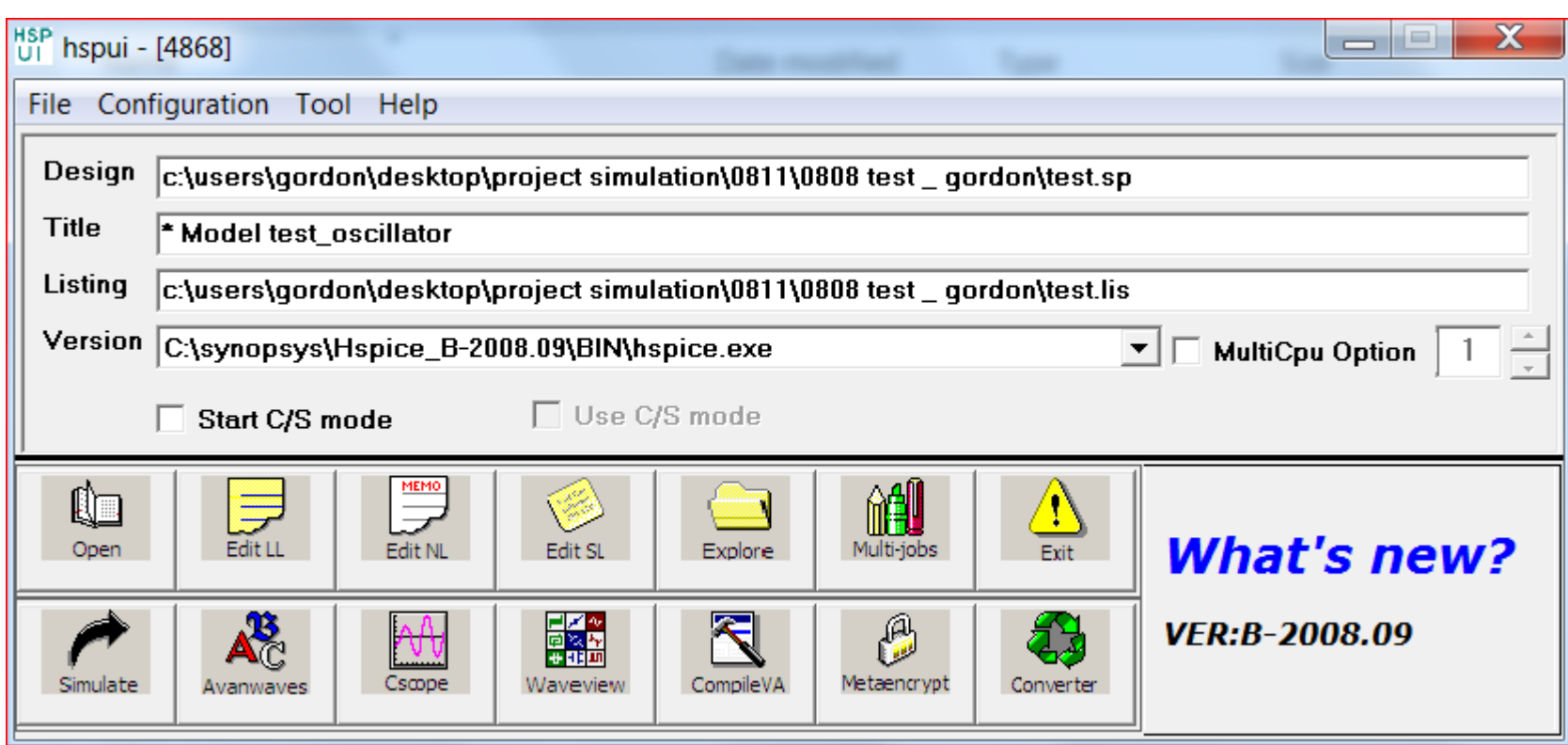
TT,V <sub>DD</sub> 1.8v, 25°C	resolution(p)	step(p)
Coarse	239.683	3834.928
TMG	41.5	249
PMOS	19.5	39
NMOS	10	30
NAND	2.67	8.01
Short DCV	1.33	3.99

	HZ	Power
Fast Freq.	504.9MHZ	263.5uW
Slow Freq.	163MHZ	262.8uW

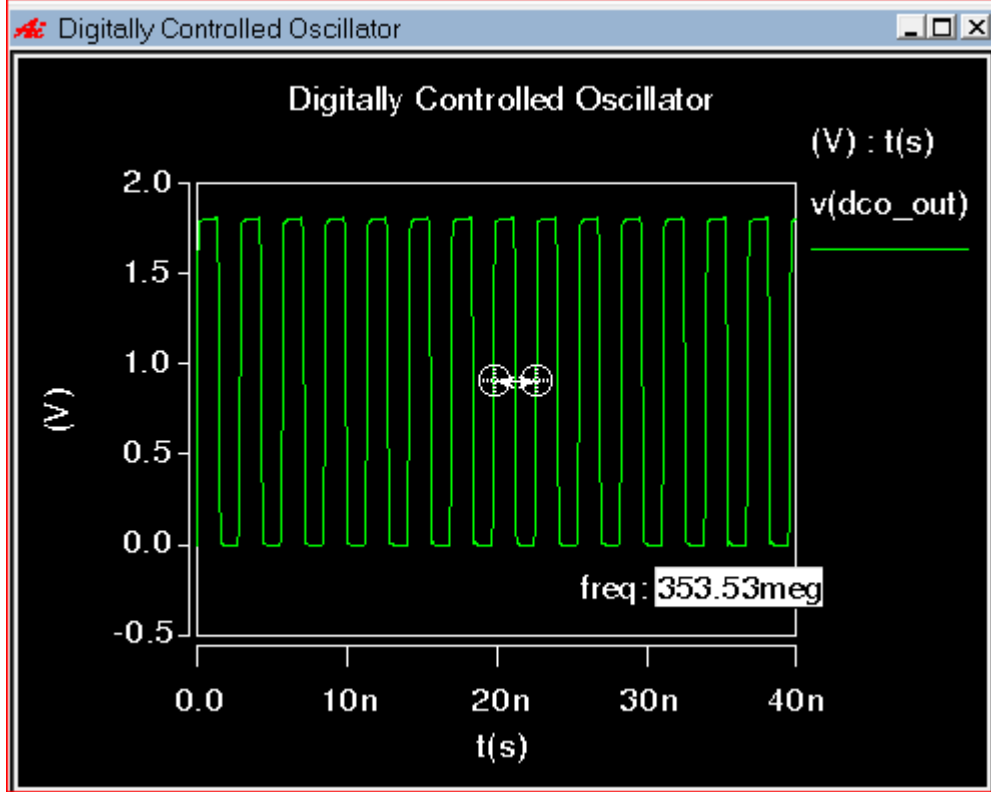
表一、量測結果

## 開發環境

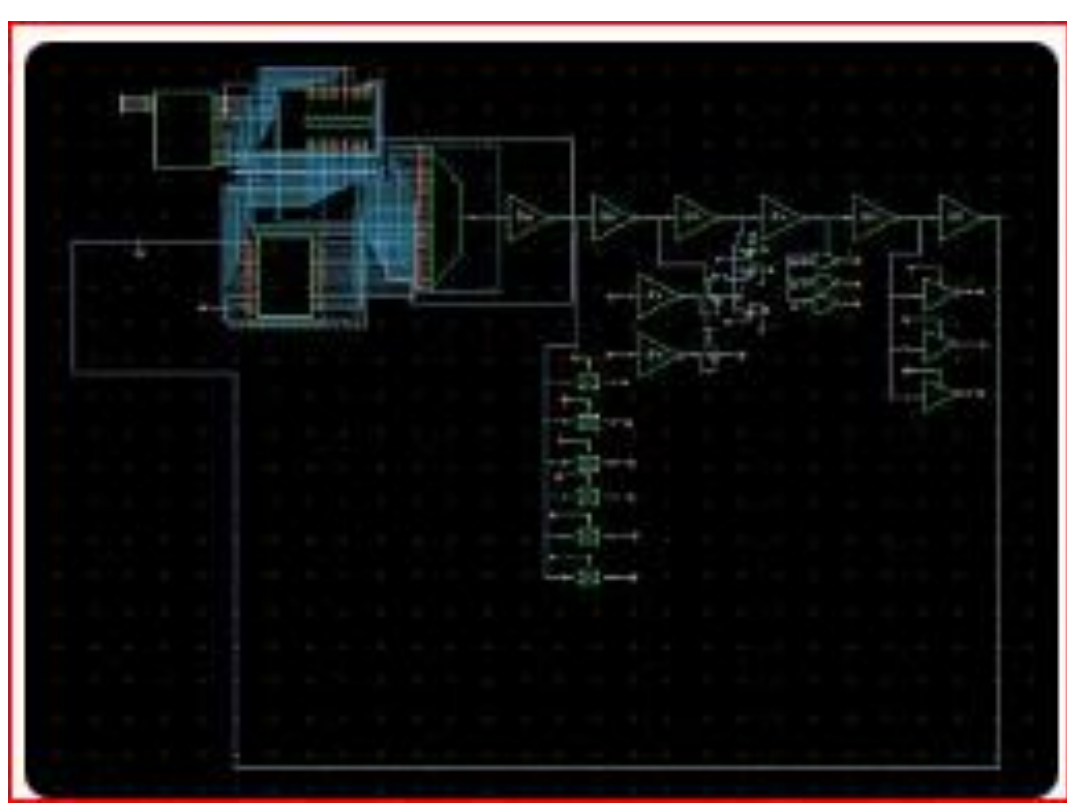
- 以積體電路為重點的模擬程式(圖二)(英語:Simulation Program with Integrated Circuit Emphasis, SPICE)，是一種用於電路描述與模擬的語言與模擬器軟體，用於檢測電路的連接和功能的完整性，以及用於預測電路的行為，我們會根據模擬結果，在透過Cadence Layout(圖五)圖進行佈局，且同時驗證寄生電容後電路的效能是否維持正常。如此可以確定輸出的頻率是否有滿足我們在規格上的需求。
- 模擬結果透過cscope描繪出來(圖五)，以協助系統開發者進行驗證、測試。



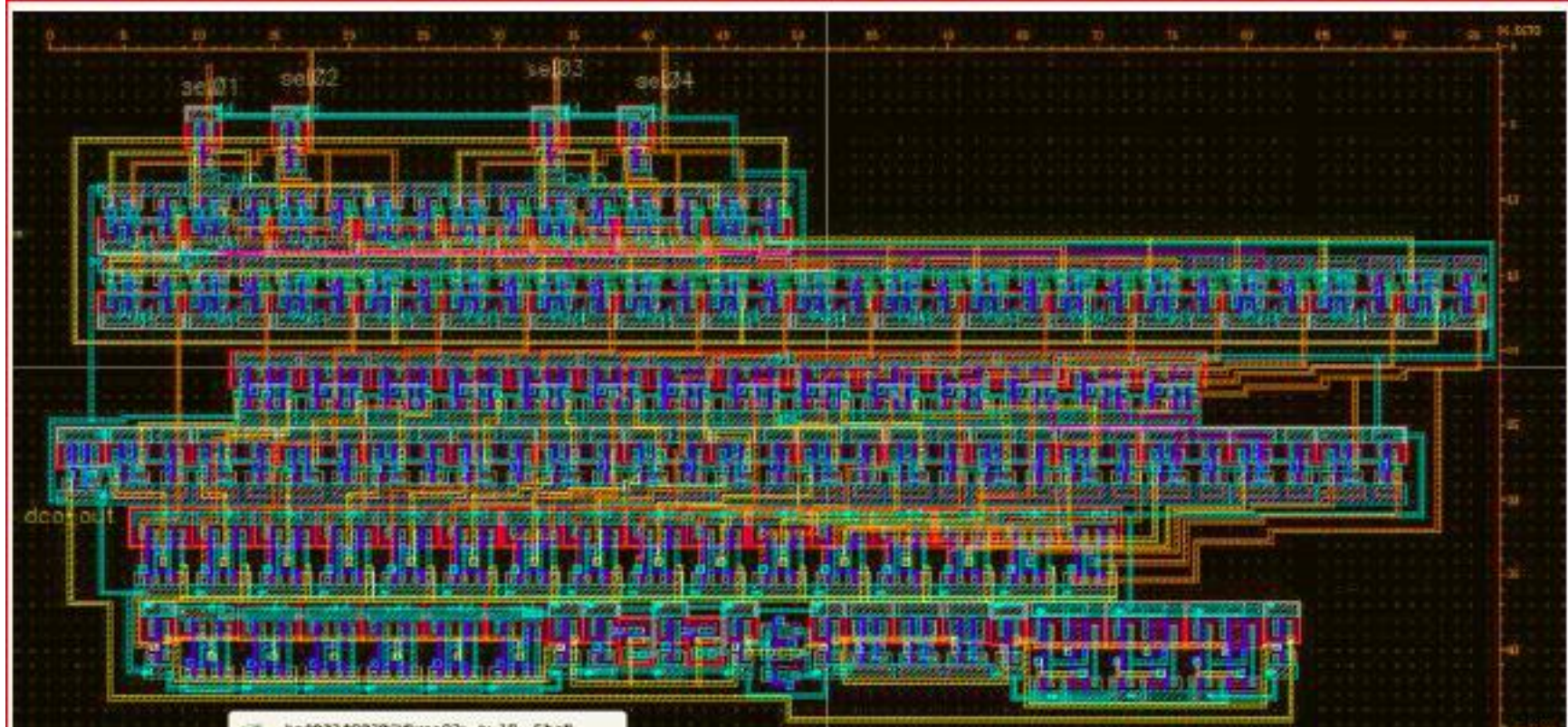
圖二、Hspice



圖三、Cscope波型圖



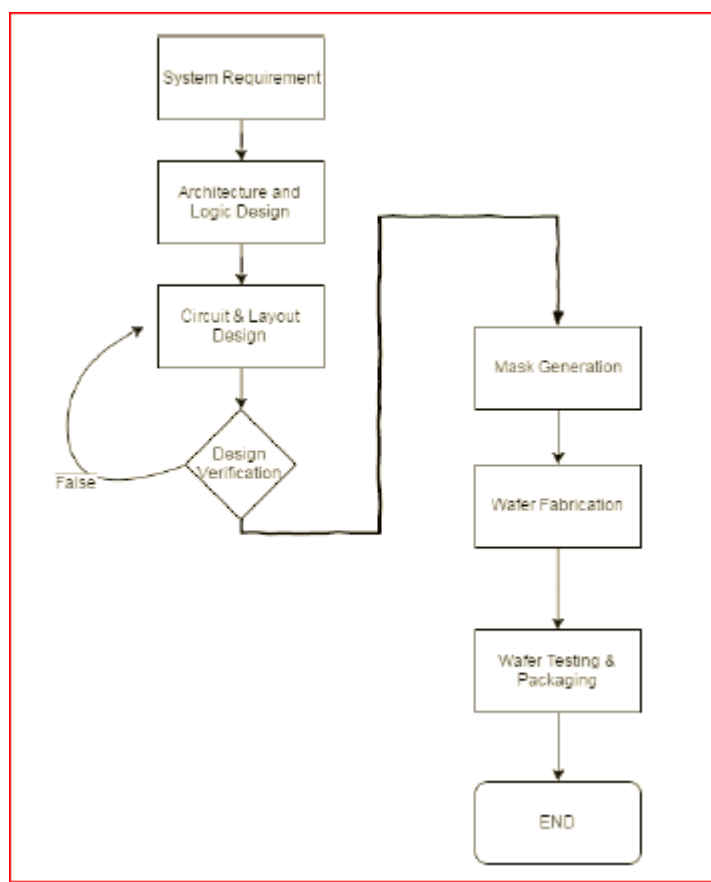
圖四、Cadence Schematic



圖五、Cadence Layout

## 實作方法與成果

- 電路的架構上，大致分成兩個部分—Coarse-Tuning & Fine-Tuning。其中由Coarse-Tuning 提供較大的Delay Time，以及Fine-Tuning提供較小的Delay Time，且其影響了整體電路的Resolution。
- 參考文獻上，透過IEEE Xplore 以及 VLSI電路設計來建構基礎的概念，並將其概念應用以極規劃到電路設計。

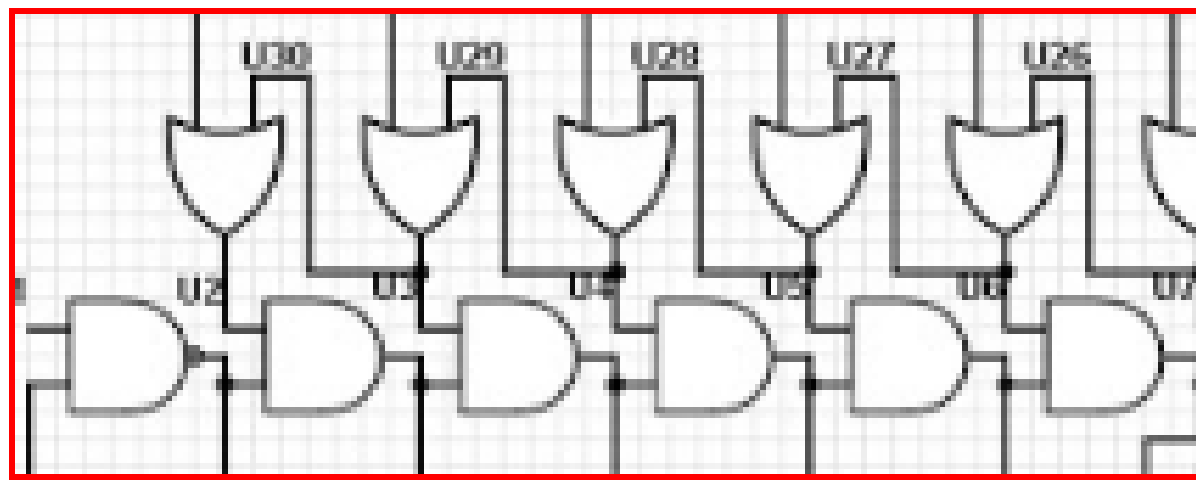


圖八、Full Custom Flow Chart

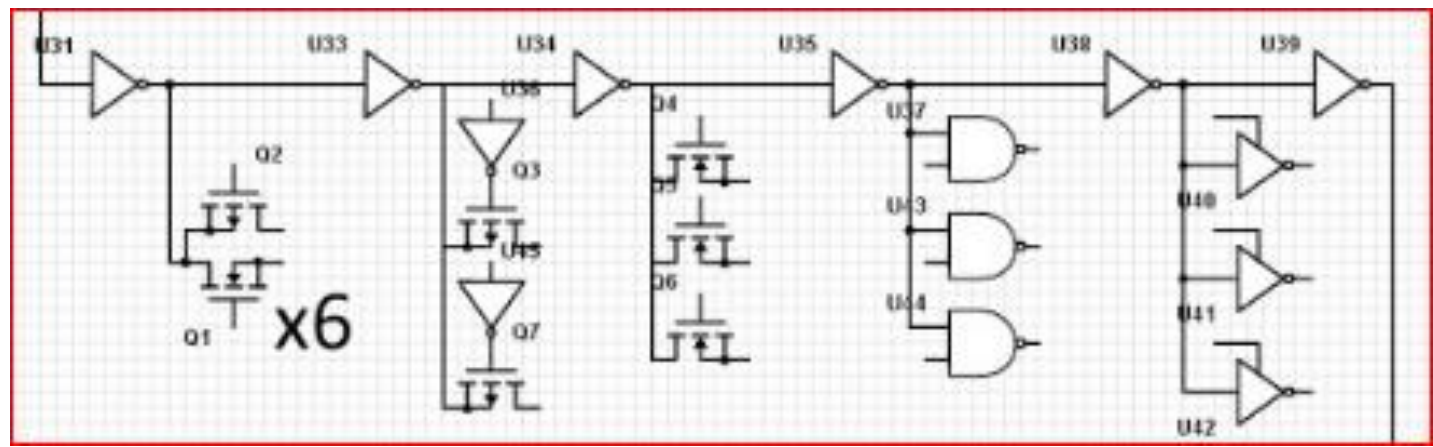


圖九、Coarse-Tuning

- 圖十中的電路架構是由OR組成可以根據輸入的信號決定頻率操作範圍，最重要的是沒有用到的Delay Cell會關閉以此來節電。而在Fine-Tuning上我們採用Digitally Controlled Oscillator 為大多數，透過這類方法不僅沒有Static Power的問題外，同時也提供較大的線性度。
- 以下為Fine - Tuning 5階的延遲大小排序 (Tcycle :Coarse -tuning > TMG > PMOS > NMOS > NAND > Short-DCV)，其中為了(1)覆蓋上一階的Range (2)擁有較高的線性度，因此採取5階的Cascade 結構。

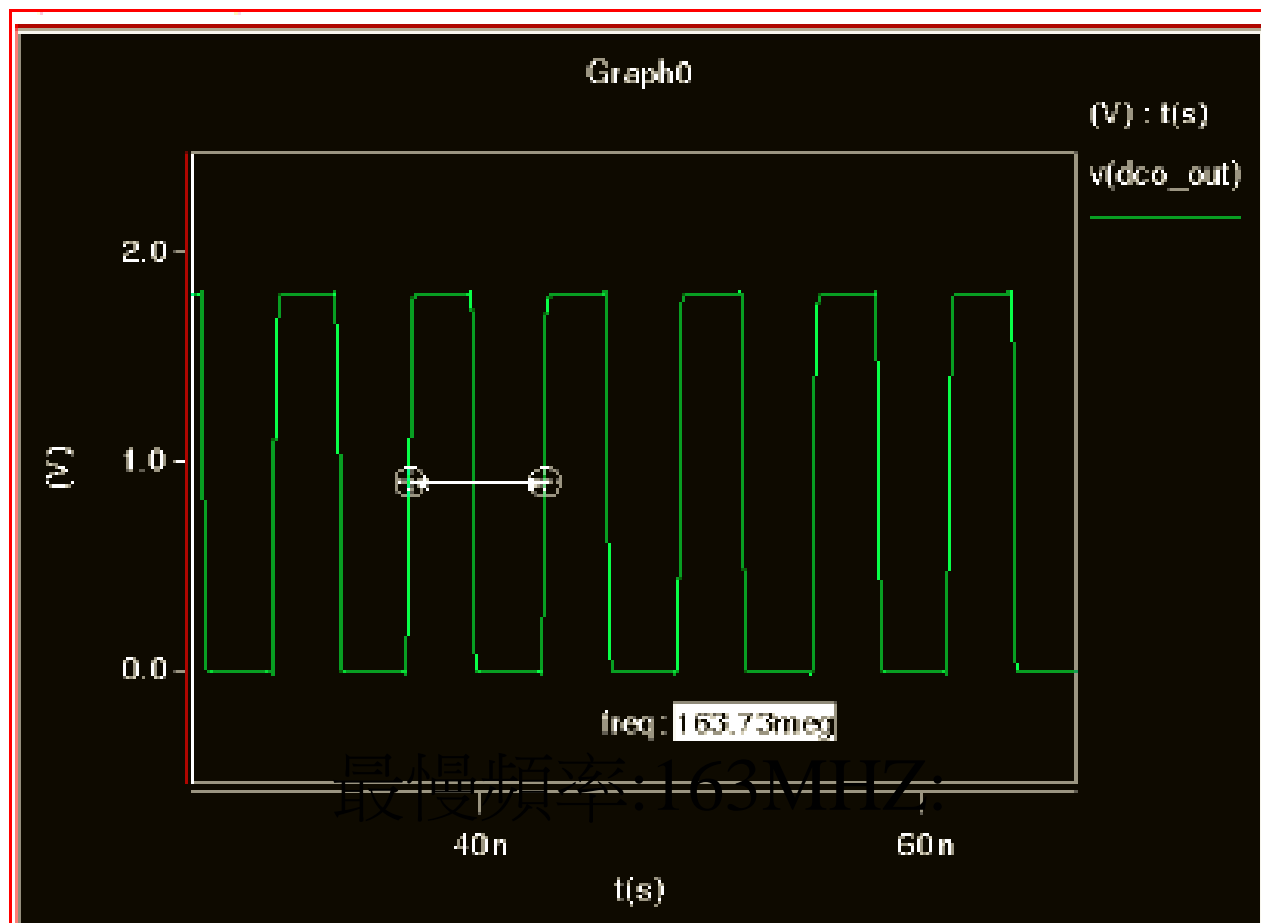


圖十、回授用的OR

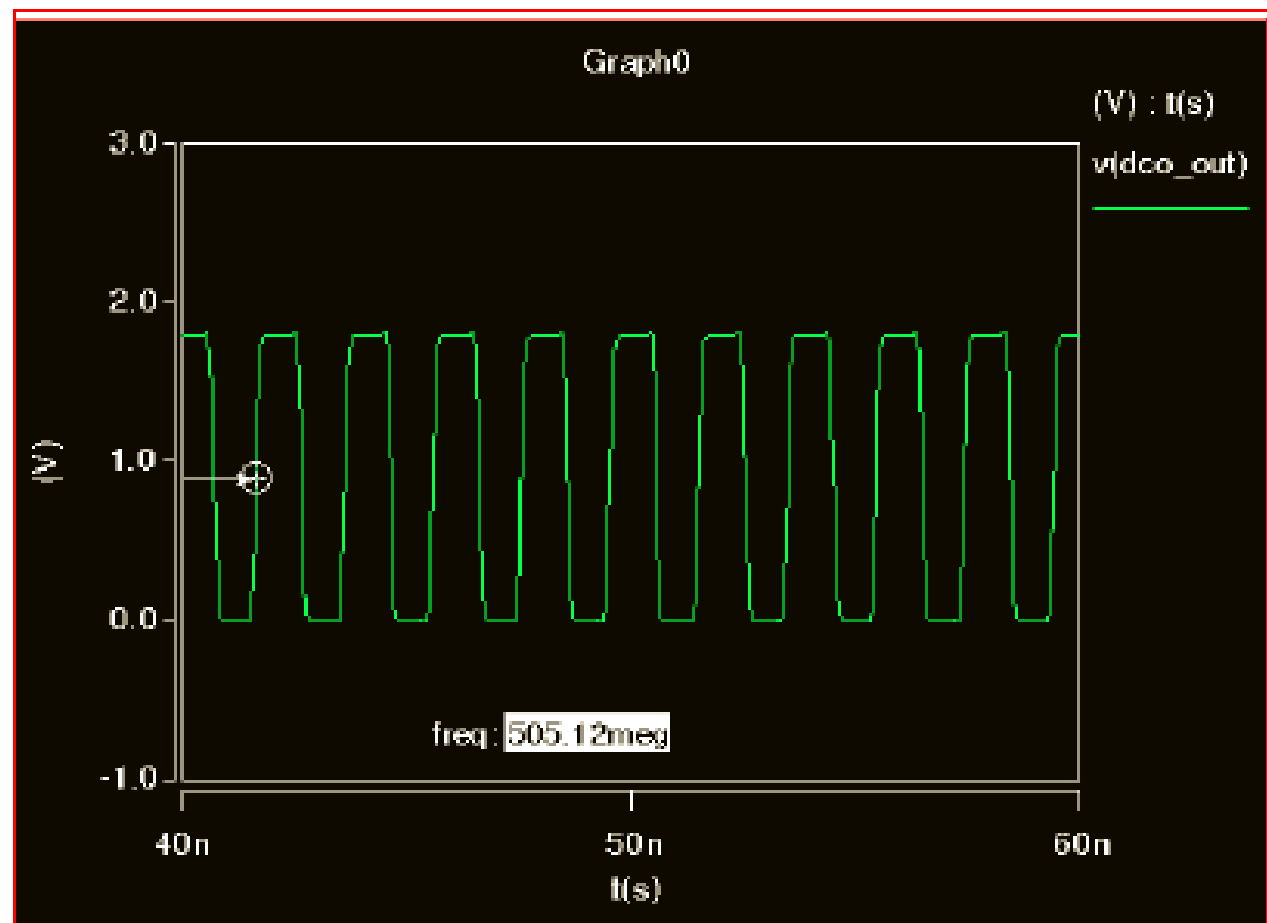


圖十一、Fine-Tuning之5階結構

- 圖十一是全數位時脈震盪器的架構。當接收到Input的訊號，讓Digitally Controlled Cell改變電容值，以讓操作頻率可以略做調整，而最後下圖是在正常狀況下操作的頻率波型圖。



最慢頻率: 163MHZ



最快頻率:504.9MHZ

圖十二、TT, VDD1.8v, 25. °C 情況下的模擬結果

## 結論

- 由我們提倡的大量採用DCV，單就功率、解析度&頻率操作範圍已經符合我們的預期。當然在模擬時FF, TT, SS corner 發現Layout變異度極大(與pre-sim 相比而言)，因此預期上這個電路上仍有改善的空間。
- 從Layout上或許面積過大、繞線過於重疊，甚至於製程品質都有可能是造成此變異誤差如此大的原因，時間允許的話在下線前(約1月底)，還會有在進一步的修改與優化。
- 我們更可以進一步的將這些裝置設計得更加完善，例如-增加抗溫度的特性、-對線性度的注意讓其擁有更高的實用性。
- 未來將繼續開發更多的元件特性，使我們對現在的狀況例如:線性度、PVT的問題來做解決及調整。



2016 輔仁大學電機工程學系  
大學部專題成果展

